

125

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-162273

(43)Date of publication of application : 20.06.1997

(51)Int.Cl.

H01L 21/68
B65D 85/86

(21)Application number : 07-316497

(71)Applicant : TOSHIBA MICROELECTRON CORP
TOSHIBA CORP

(22)Date of filing : 05.12.1995

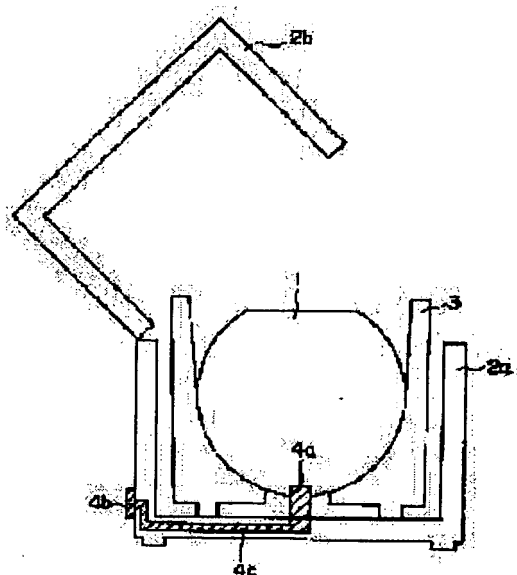
(72)Inventor : KAMEYAMA YOSHIHIRO
NAGAI YOSHIKI
FUKAZAWA YUJI

(54) STORAGE BOX FOR SEMICONDUCTOR WAFER

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a storage box for semiconductor wafers, in which wafers a conductor is provided to contact the wafers to remove static electricity.

SOLUTION: A storage box for semiconductor wafers comprises a body 2a and a cover 2b. The body 2a is made of a conductor, which includes a section 4a inside its bottom, a section 4b outside its side wall, and a section 4c connecting the sections 4a and 4b. The section 4a is arranged to be in touch with wafers stored in the box. The section 4c makes contact with the section 4a on one end in the bottom of the body 2a and extends along the bottom and the side to make contact with the section 4b on the other end. All the sections of the conductor connected as above form a path for escaping static electricity, and thus the semiconductor wafer is prevented from adsorbing contaminants.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

SON-0502

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-162273

(43) 公開日 平成9年(1997)6月20日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/68			H 0 1 L 21/68	T
B 6 5 D 85/86		0333-3E	B 6 5 D 85/38	S

審査請求 未請求 請求項の数 8 O L (全 9 頁)

(21) 出願番号 特願平7-316497

(22) 出願日 平成7年(1995)12月5日

(71) 出願人 000221199

東芝マイクロエレクトロニクス株式会社
神奈川県川崎市川崎区駅前本町25番地1

(71) 出願人 000003078

株式会社東芝
神奈川県川崎市幸区堀川町72番地

(72) 発明者 亀山 芳宏

神奈川県川崎市川崎区駅前本町25番地1
東芝マイクロエレクトロニクス株式会社内

(72) 発明者 永井 圭希

神奈川県川崎市川崎区駅前本町25番地1
東芝マイクロエレクトロニクス株式会社内

(74) 代理人 弁理士 鈴江 武彦

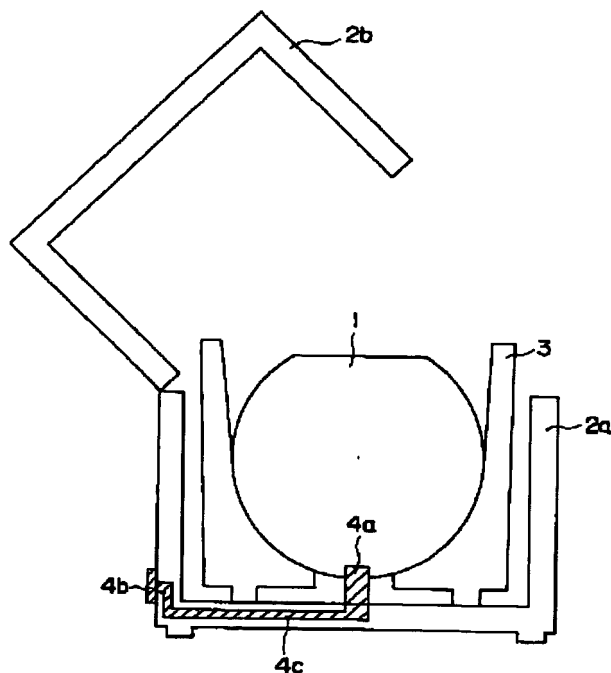
最終頁に続く

(54) 【発明の名称】 半導体基板保管ボックス

(57) 【要約】

【課題】半導体基板の静電気を除去し、半導体基板への汚染物質の吸着を低減する。

【解決手段】半導体基板1を収納し保管する半導体基板保管ボックス2において、前記半導体基板保管ボックス2の内部側に設けられた半導体基板保管ボックス2に収納された状態の半導体基板1と接触する第1の導電体部分4aと、半導体基板保管ボックス2の外側に設けられた第2の導電体部分4bと、第1の導電体部分4aと第2の導電体部分4bとを電気的に接続する第3の導電体部分4cとを具備する。



【特許請求の範囲】

【請求項1】 半導体基板を収納し保管する半導体基板保管ボックスにおいて、半導体基板保管ボックスに収納された状態の半導体基板と接触する導電体を具備することを特徴とする半導体基板保管ボックス。

【請求項2】 半導体基板を収納し保管する半導体基板保管ボックスにおいて、前記半導体基板保管ボックスの内部側に設けられた半導体基板保管ボックスに収納された状態の半導体基板と接触する第1の導電体部分と、前記半導体基板保管ボックスの外側に設けられた第2の導電体部分と、前記第1の導電体部分と前記第2の導電体部分とを電気的に接続する第3の導電体部分とを具備することを特徴とする半導体基板保管ボックス。

【請求項3】 前記第2の導電体部分は前記第1の導電体部分と前記半導体基板保管ボックスの筐体を介して対向する領域内に構成され、前記第3の導電体部分は前記筐体を貫通するように構成される請求項2記載の半導体基板保管ボックス。

【請求項4】 前記第2の導電体部分は前記第1の導電体部分と前記半導体基板保管ボックスの筐体を介して対向する領域外に構成され、前記第3の導電体部分は前記筐体の壁の内部を筐体に沿って通るように構成される請求項2記載の半導体基板保管ボックス。

【請求項5】 前記第2の導電体部分は前記第1の導電体部分と前記半導体基板保管ボックスの筐体を介して対向する領域外に構成され、前記第3の導電体部分は一部が前記筐体の外部を筐体に沿って構成される請求項2記載の半導体基板保管ボックス。

【請求項6】 前記第1の導電体部分は、前記半導体基板と接触する面上に前記半導体基板が挿入されるように溝を有する請求項1乃至5記載の半導体基板保管ボックス。

【請求項7】 前記第1の導電体部分は、その1つの領域が前記半導体基板1枚のみと接触するように各半導体基板の収納位置に対応して分割して構成される請求項1乃至5記載の半導体基板保管ボックス。

【請求項8】 半導体基板を支持するキャリアと、前記キャリアを収納し保管する筐体とにより構成される半導体基板保管ボックスにおいて、前記キャリアはそれに支持された状態の前記半導体基板と接触するように設置された第1の導電体を具備し、前記筐体は、内側に設けられた第2の導電体の第1の導電体部分と、外側に設けられた第2の導電体の第2の導電体部分と、前記第1の導電体部分と前記第2の導電体部分とを電気的に接続する第2の導電体の第3の導電体部分とを具備し、前記第1の導電体と前記第1の導電体部分とは互いに接触するように構成されていることを特徴とする半導体基板保管ボックス。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造工程において、半導体基板を収納し保管するための箱に関する。

【0002】

【従来の技術】半導体装置の製造工程において、半導体基板は、一般にキャリアと呼ばれる基板保持具に載せられ、このキャリアと共に半導体基板保管ボックスに収納されて保管される。これにより、クリーンルームの環境中に存在する汚染物質が半導体基板に付着することを防止している。さらに、クリーンルームの環境中の汚染物質をフィルターにより除去し、雰囲気の流れを制御するいわゆるダウンフロー方式により、半導体基板へのこれらの汚染物質の付着を抑制している。

【0003】しかし、半導体基板が静電気を帯びている場合には、半導体基板保管ボックスの内壁、キャリアまたは半導体基板保管ボックス内の雰囲気中の例えば水、薬品、金属等を含む塵等の汚染物質が半導体基板の表面に吸着されてしまう。

【0004】例えば、このような汚染物質が半導体基板の表面に付着した状態で熱酸化を行った場合には、形成された酸化膜の内部にピンホール等が発生し、酸化膜の初期耐圧の不良、経時絶縁破壊時間の劣化等の熱酸化膜の絶縁信頼性を劣化させる原因となる。

【0005】特に、例えば酸、アルカリ系等の溶液または純水等を用いたウェット処理を行った後に、半導体基板を高速回転させて半導体基板表面に付着した液体を除去することが一般に行われているが、この時に半導体基板が帯電しやすい。従来は、このように帯電した半導体基板を、そのままの状態で半導体基板保管ボックスに収納し、その後、例えば酸化等を行っている。

【0006】

【発明が解決しようとする課題】このように、従来の半導体基板保管ボックスでは、半導体基板が静電気を帯びている場合に、ボックス内に存在する汚染物質が容易に半導体基板表面に吸着してしまうという問題があった。

【0007】本発明の目的は、半導体基板を保管する時に、半導体基板の静電気を除去し、半導体基板への汚染物質の吸着を低減することができる半導体基板保管ボックスを提供することである。

【0008】

【課題を解決するための手段】上記課題を解決し目的を達成するために、本発明の骨子は、保管ボックスの内部に導電体を設置し、この導電体と半導体基板とを接触させることにより半導体基板の静電気を除去することである。

【0009】すなわち、本発明による半導体基板保管ボックスは、半導体基板を収納し保管する半導体基板保管ボックスにおいて、半導体基板保管ボックスに収納された状態の半導体基板と接触する導電体を具備することを特徴とする。

【0010】また、本発明による半導体基板保管ボックスは、半導体基板を収納し保管する半導体基板保管ボックスにおいて、前記半導体基板保管ボックスの内部側に設けられた半導体基板保管ボックスに収納された状態の半導体基板と接触する第1の導電体部分と、前記半導体基板保管ボックスの外側に設けられた第2の導電体部分と、前記第1の導電体部分と前記第2の導電体部分とを電気的に接続する第3の導電体部分とを具備することを特徴とする。

【0011】このように、本発明による半導体基板保管ボックスは、半導体基板保管ボックスに収納された状態の半導体基板に接触する導電体を具備するため、半導体基板に帯電した静電荷をこの導電体に移動させることにより、電荷を低減することができる。

【0012】さらに、本発明による半導体基板保管ボックスは、その内側および外側に設置された導電体部分と、内側および外側の導電体部分を電気的に接続する導電体部分とを具備し、この内側の導電体は半導体基板保管ボックスに収納された状態の半導体基板と接触するように構成されているため、半導体基板に帯電している静電荷は導電体を伝わって半導体基板保管ボックスの外側へ容易に除去されることができる。

【0013】このようにして、本発明による半導体基板保管ボックスでは、半導体基板に帯電した静電荷を低減または除去することにより、半導体基板が環境中の汚染物質を吸着することを防止することができる。

【0014】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して説明する。図1は、本発明の第1の実施の形態による半導体基板保管ボックスの構造を示す断面図である。この図に示すように、半導体基板保管ボックス2は本体2aおよび蓋2bより構成され、半導体基板1はキャリア3に載せられた状態で、半導体基板保管ボックス2の本体2aに収納される。ここで、本実施の形態による半導体基板保管ボックスは、従来と異なり、本体2aに導電性物質4を具備している。この導電性物質4は、本体2aの底部の内側に設けられた導電体部分4aと、本体2aの側面部の外側に設けられた導電体部分4bと、この導電体部分4aおよび4bとを電気的に接続する導電体部分4cとから構成される。導電体部分4aは、保管ボックス内に収納された状態の半導体基板1に接触するように設置されている。また、導電体部分4cは、本体2aの底部において導電体部分4aと接触し、本体2aの底部および側部の内部を通して、本体2aの側面部において導電体部分4bと接触するように形成されている。

【0015】さらに、図2の(a)に、この半導体基板保管ボックスの本体2aの上面図、図2の(b)に、図2の(a)のA-A'断面図を示す。この図に示すように、導電体部分4aは、半導体基板保管ボックス2に収

納されているすべての半導体基板1に接触するように、本体2aの内側底部に設置されている。

【0016】このように、本実施の形態による半導体基板保管ボックスは、導電体4を具備し、本体2aの内側において半導体基板1に接触する導電体部分4aと本体2aの外側に露出する導電体部分4bとを導電体部分4cとにより電気的に接続する構造であるため、半導体基板1に帯電している静電荷を保管ボックス2の外側へ抜き去ることができる。これにより、半導体基板1が帯電して、汚染物質を吸着することを防止することができる。さらに、この導電体部分4aには、例えば図2の(b)に示すように、半導体基板1が挿入されるように溝が形成されている。この溝により、半導体基板1を安定して支持し、保管することができる。

【0017】また、外気が半導体基板保管ボックス2の内部に侵入することを防止するために、半導体基板保管ボックス2の本体2aと導電体部分4cとの接触部は密閉されていることが望ましい。

【0018】ここで、半導体基板保管ボックス2の外側に露出している導電体部分4bに、例えば接地電位を接続することにより、半導体基板1に帯電している電荷を効率的に除去することも可能である。例えば、半導体基板保管ボックス2を保管する棚を導電体を用いて形成し、この棚を接地電位に接続し、さらに、半導体基板保管ボックス2をこの棚に保管した状態において半導体基板保管ボックス2の外側の導電体部分4bとこの棚とが接触するように導電体部分4bを形成しておくことにより、保管ボックス2または棚に特別な接続端子等を形成する必要をなくすることができる。

【0019】また、上述の実施の形態では、導電体部分4bは本体2aの側面外側に設置され、この導電体部分4bと導電体部分4aとを接続する導電体部分4cは、本体2aの底部および側部の壁の内部に形成されたが、図3に示すように、導電体部分4bを本体2aの底部外側に設置することも可能である。図3は半導体基板保管ボックスの構造を示す断面図で、前述の図1に対応する。

【0020】この場合には、導電体部分4bと導電体部分4aとを接続する導電体部分4cを、本体2aの底部を貫通するように形成することができるため、導電体4cが本体2aを貫通する長さを低減することができ、導電体4cと本体2aとの間に隙間が生じないように容易に密閉することができる。

【0021】さらに、図3に示す半導体基板保管ボックスを用いて、導電体部分4bに接地電位を接続する場合には、本体2aの底部外側において、導電体部分4bと例えば接地電位に接続された棚等を接触させる必要がある。これに対して、図4に示すように、導電体部分4bは本体2aの側面外側に設置し、導電体部分4cを図3と同様に本体2aの底部を貫通するように形成し、さら

に本体の外壁面に沿って導電体部分4bまで延長するように形成することも可能である。図4は半導体基板保管ボックスの構造を示す断面図で、前述の図1、図3に対応する。

【0022】このようにすれば、導電体部分4cが本体2aを貫通する長さを低減することにより、導電体部分4cと本体2aとの間を容易に密着させ、さらに導電体部分4bを半導体基板保管ボックス2の外側の所望の位置に形成することができる。

【0023】次に、図5および図6を用いて、本発明による半導体基板保管ボックスの内側に設置される導電体部分4aの他の実施の形態について説明する。図5および図6の(a)は、この半導体基板保管ボックスの本体2aの上面図、図5および図6の(b)は、それぞれ同図の(a)のA-A'断面図を示す。

【0024】図5には、導電体部分4aと半導体基板1との接触面に、図2に示すような溝を形成せず、平面としたものが示されている。半導体基板1と導電体4との接触は一点の接触で十分であり、このようにすると、半導体基板1と導電体4との接触面積を低減することにより、半導体基板1に傷が生じることを防止することができる。

【0025】また、図6には、半導体基板1と接触する領域のみ本体2aの内側に露出するように、導電体部分4aを形成したものが示されている。このように、本体2aの内側に露出している導電体部分4aの面積を低減することにより、この導電体4に含まれている汚染物質が半導体基板1に付着する可能性を低減することができる。

【0026】さらに、図5または図6に示すように、本体2aの外側に露出している導電体部分4bの面積を低減することにより、導電体4に含まれている汚染物質が外気中に発散することを防止することができる。

【0027】このように、半導体基板保管ボックス2の内側および外側に露出している導電体部分4aおよび4bの面積を、要最小限にして、導電体4による汚染を抑制することが望ましい。

【0028】なお、導電体4は、例えばタングステンカーバイドまたは多結晶シリコン膜または導電性プラスチックまたは導電性プラスチックを含む化合物またはタンタルまたはタンタルを含む化合物等の、汚染物質を発生させず、半導体基板1を汚染させない物質で形成されることが望ましい。

【0029】なお、上記の実施の形態において示した導電体部分4aと導電体部分4bおよび4cとを組み合わせ使用することが可能である。また、上記の実施の形態では、いずれの場合においても、半導体基板1と接触する導電体部分4aを、本体2aの底部に設置したが、例えば本体2aの側部または蓋2bに導電体部分4aを設けて、半導体基板1を収納保管した状態で、半導体基

板1の側部または上部と導電体部分4aとを接触させることも可能である。さらに、これらを組み合わせて、半導体基板保管ボックス2の内側に複数の導電体部分4aを設けて、導電体部分4aと半導体基板1とを数箇所において接触させることも可能である。

【0030】次に、本発明の第2の実施の形態として、半導体基板保管ボックス2のみではなく、キャリア3にも導電体4'を設ける場合について、図7を用いて説明する。図7は本発明の第2の実施の形態による半導体基板保管ボックスの構造を示す断面図である。この図に示すように、本実施の形態では、キャリア3に導電体4'を設け、この導電体4'と半導体基板1とを接触させ、また、キャリア3が半導体基板保管ボックス2の底面と接触する面においてこの導電体4'を露出させる。さらに、半導体基板保管ボックス2に導電体4を設置し、この導電体4を半導体基板保管ボックス2の底部内壁のキャリア3と接触する領域内に露出させ、この導電体4の露出した部分とキャリア3の導電体4'の露出した部分とを接触させる。このように、導電体4および導電体4'はそれぞれ露出された部分を接触させるだけでよく、導電体4と導電体4'とを接続するための部品等は必要ない。このようにして、半導体基板1に帯電している静電荷をキャリアに設置された導電体4'と半導体基板保管ボックス2に設置された導電体4とを介して保管ボックス2の外側へ抜き去る。

【0031】このようにして、キャリア3と半導体基板1との接触点に導電体4'を設けることにより、上記第1の実施の形態では、半導体基板1と導電体4とが確実に接触するように導電体4の位置を調整する必要があったが、これを省くことが可能となる。

【0032】なお、本発明の第1および第2の実施の形態を組み合わせ、キャリアに設置された導電体4'と半導体基板1とを接触させ、さらに本体2aまたは蓋2bに設置された導電体4と半導体基板1とを接触させることも可能である。

【0033】本発明の趣旨によれば、半導体基板保管ボックス2およびキャリア3を、導電体を用いて形成することにより、同様の効果を得ることができるが、通常、導電体は汚染物質を含んでいる可能性が高いため、前述の実施の形態のように、汚染物質の含有量が少ない絶縁性物質により、半導体基板保管ボックスおよびキャリアを構成し、これに導電体4または4'等を付加することが望ましい。さらに、前述のように、この導電体4および4'が絶縁性物質より露出する面積を小さくすることが望ましい。

【0034】また、上記第1乃至第2の実施の形態では、導電体4は半導体基板保管ボックス2の外側に露出するように設置されているが、半導体基板1に帯電している静電気を低減するために、導電体4は半導体基板保管ボックス2の外側に必ずしも露出する必要はない。た

だし、導電体4を半導体基板保管ボックス2の外側にも露出させる上記実施の形態の方が、露出しない場合に比べて、より効果的に静電気を除去することができるため、好ましい。

【0035】次に、図8乃至図10を用いて、本発明の効果について説明する。図8は、例えば酸またはアルカリ等の洗浄液による処理を行った後の半導体基板を、従来の半導体基板保管ボックスに収納し100時間程度保管した場合(a)と、本発明の第1の実施の形態による半導体基板保管ボックスに収納し100時間程度保管した場合(b)の、半導体基板に付着している汚染物質の量を比較したものである。それぞれ、3枚の半導体基板について測定されたデータを示す。この図から、本発明による半導体基板保管ボックスを用いた場合(b)には、従来(a)に比べて、汚染物質の量が少ないことがわかる。このように、本発明による半導体基板保管ボックスは、半導体基板に帯電している静電気を除去することができるため、従来に比べて半導体基板表面への汚染物質の吸着を低減できる。

【0036】図9は、図8と同様の処理を行った後の半導体基板を、従来の半導体基板保管ボックス(a)、または、本発明の第1の実施の形態による半導体基板保管ボックス(b)にそれぞれ100時間程度保管し、その後、熱酸化により酸化膜を形成し、形成された酸化膜の初期耐圧を測定し比較したものである。それぞれ、3枚の半導体基板について測定されたデータを示す。縦軸は、 $5\text{MV}/\text{cm}^2$ の電界を印加して破壊された酸化膜の割合を示している。この図より、本発明による半導体基板保管ボックスを用いた場合(b)には、従来(a)に比べて、偶発不良率が小さいことがわかる。このように、本発明による半導体基板保管ボックスは、半導体基板に帯電している静電気を除去することができるため、従来に比べて、半導体基板表面への汚染物質の吸着を低減し、この汚染物質に起因した酸化膜のピンホール等の欠陥の発生を抑制することにより、偶発不良率を低減することができる。

【0037】図10は、半導体基板保管ボックスを、例えば純水等を用いて通常の方法により洗浄した後に、従来の半導体基板保管ボックス(a)、または、本発明の第1の実施の形態による半導体基板保管ボックス(b)をそれぞれ50回使用し、半導体基板に付着している汚染物質の量を比較したものである。それぞれ、3枚の半

導体基板について測定されたデータを示す。この図から、本発明による半導体基板保管ボックスを用いた場合(b)には、従来(a)に比べて、汚染物質の量が非常に少ないことがわかる。このように、本発明による半導体基板保管ボックスは、半導体基板に帯電している静電気を除去することができるため、従来に比べて、半導体基板表面への汚染物質の吸着を低減し、多数回使用することができる。このため、半導体基板保管ボックスの洗浄回数を低減することができるため、生産効率が向上し、生産コストの低減を図ることが可能である。

【0038】

【発明の効果】以上のように、本発明による半導体基板保管ボックスは、半導体基板の静電気を除去し、半導体基板への汚染物質の吸着を低減することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態による半導体基板保管ボックスの構造を示す断面図。

【図2】本発明の第1の実施の形態による半導体基板保管ボックスの構造を示す上面図および断面図。

【図3】本発明の第1の実施の形態による半導体基板保管ボックスの構造を示す断面図。

【図4】本発明の第1の実施の形態による半導体基板保管ボックスの構造を示す断面図。

【図5】本発明の第1の実施の形態による半導体基板保管ボックスの構造を示す上面図および断面図。

【図6】本発明の第1の実施の形態による半導体基板保管ボックスの構造を示す上面図および断面図。

【図7】本発明の第2の実施の形態による半導体基板保管ボックスの構造を示す断面図。

【図8】本発明による半導体基板保管ボックスおよび従来の半導体基板保管ボックスを用いた場合の、半導体基板表面に付着した汚染物質の量を比較した図。

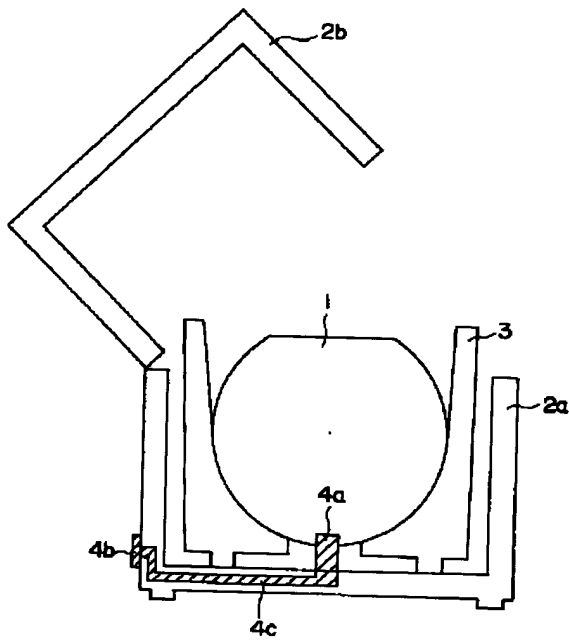
【図9】本発明による半導体基板保管ボックスおよび従来の半導体基板保管ボックスを用いた場合の、酸化膜の初期耐圧を比較した図。

【図10】本発明による半導体基板保管ボックスおよび従来の半導体基板保管ボックスをそれぞれ50回用いた場合の、半導体基板表面に付着した汚染物質の量を比較した図。

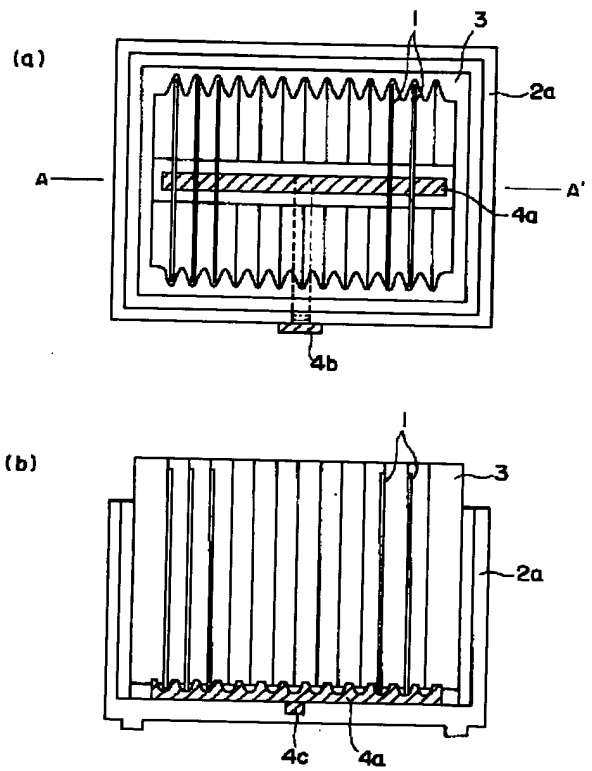
【符号の説明】

1…半導体基板、2…半導体基板保管ボックス、3…キャリア、4…導電体

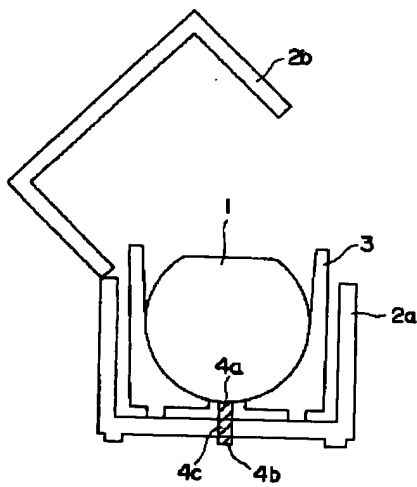
【図 1】



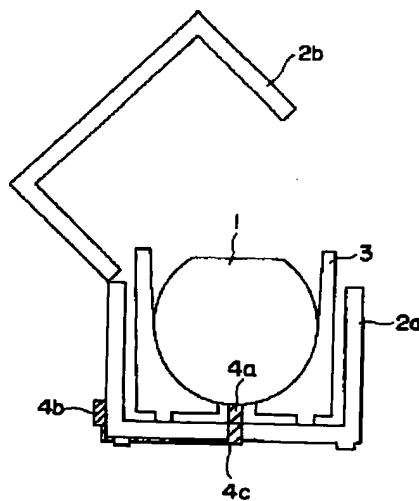
【図 2】



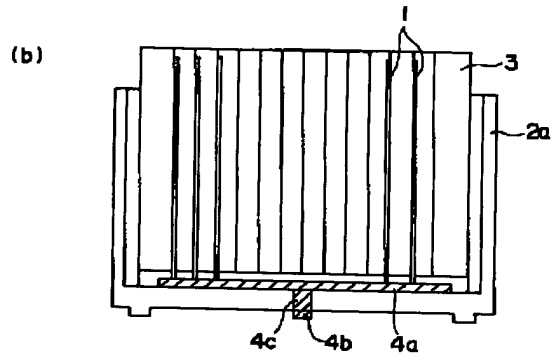
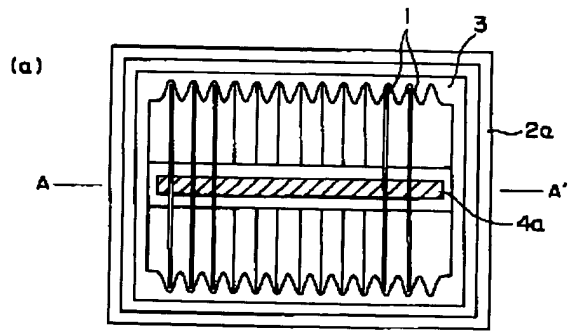
【図 3】



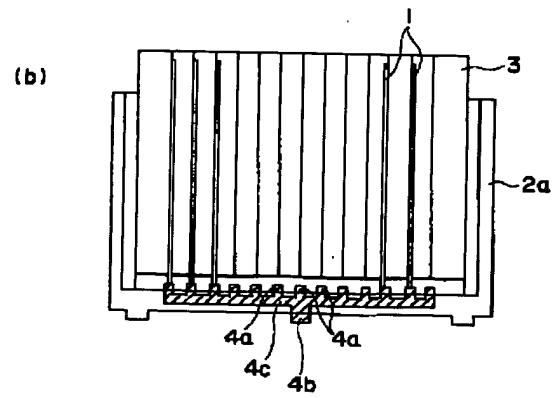
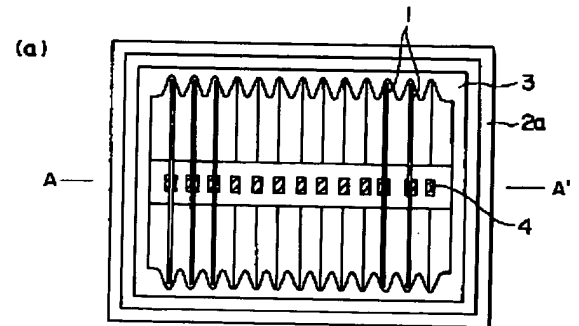
【図 4】



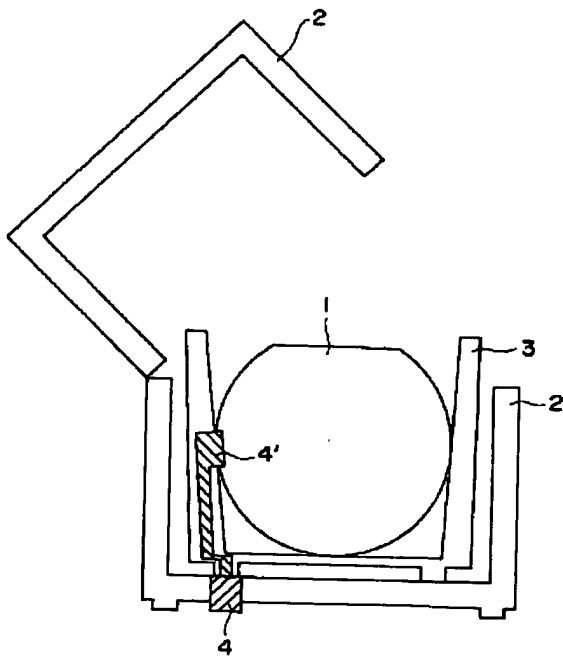
【図 5】



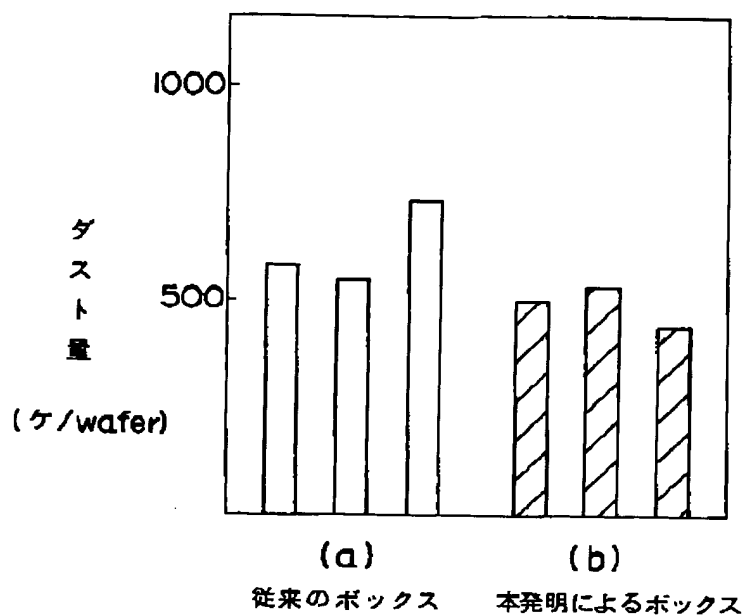
【図 6】



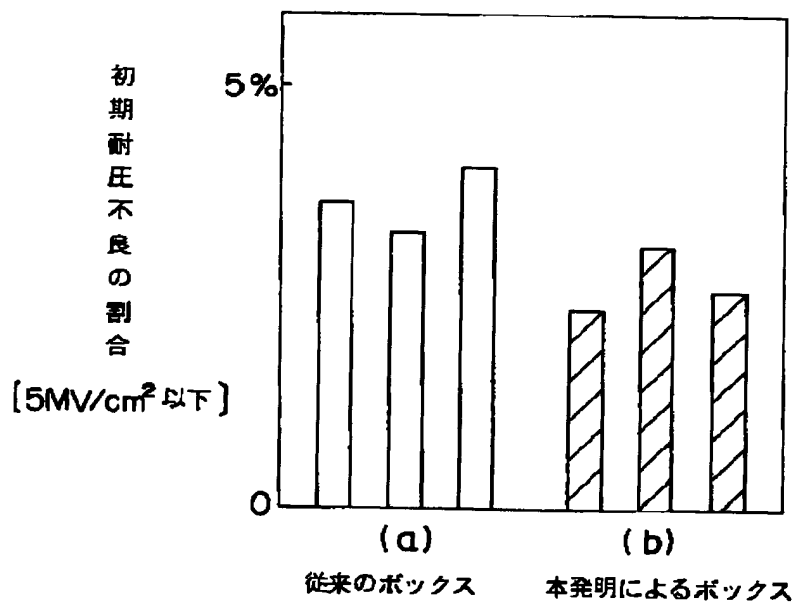
【図 7】



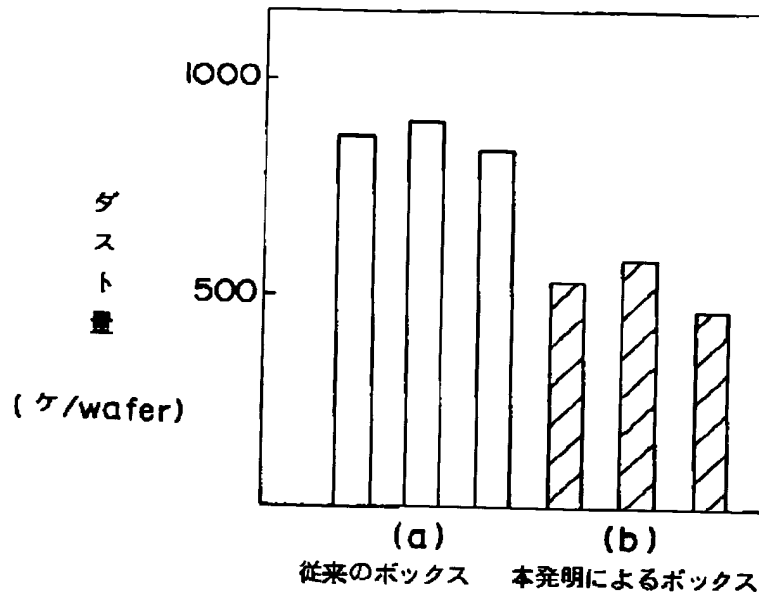
【図8】



【図9】



【図10】



フロントページの続き

(72)発明者 深澤 雄二

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝多摩川工場内